

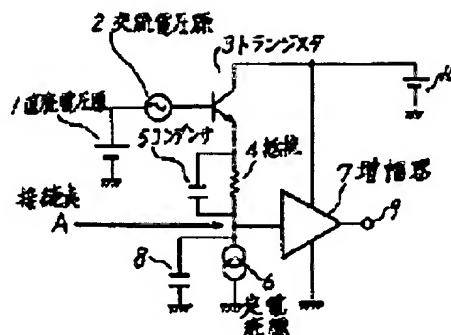
LEVEL SHIFT CIRCUIT

Publication number: JP6021733
Publication date: 1994-01-28
Inventor: NAKAJIMA YASUO; KIKUCHI HIROSHI
Applicant: NIPPON ELECTRIC IC MICROCOMPUT
Classification:
- international: H03F3/50; H03F3/50; (IPC1-7): H03F3/50
- european:
Application number: JP19920172678 19920630
Priority number(s): JP19920172678 19920630

Report a data error here

Abstract of JP6021733

PURPOSE: To avoid the occurrence of a useless peaking characteristic by setting the relation among a capacitive component, a capacitance of a capacitor, a resistance of a resistor and an input value of the amplifier in existence between a connecting point of an amplifier and a ground point to be a specific relation. **CONSTITUTION:** A level shift voltage V_{sf} of a DC component of the circuit is expressed as $V_{sf}=IXR1$ (I is a constant current of a constant current source 6 and an $R1$ is a resistance of a resistor 4). A ratio of a level V_{IN} of an AC voltage source 2 to a voltage V_{OUT} of a signal component at a point A is expressed as equation I, where $C1$ is a capacitance of a high frequency correction capacitor 5, $C2$ is an input capacitance is a combined capacitance of an input capacitance of an impedance of an amplifier 7 in existence between a point A and a ground point and a parasitic capacitance of a component of the constant current source 6, R_{IN} is an input resistive component in the impedance of the amplifier 7, and a relation of equation II is obtained for all frequencies by setting $C1/C2=R_{IN}/R1$. Thus, the ratio of voltages V_{IN} and V_{OUT} is not affected by the effect of the capacitance $C2$ and no useless peaking characteristic is caused.



$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{\frac{R1}{R_{IN}} \left(\frac{1 + j\omega C2 R_{IN}}{1 + j\omega C1 R1} \right) + 1} \quad \text{I}$$

$$V_{OUT} / V_{IN} = R_{IN} / (R1 + R_{IN}) \quad (\text{一定}) \quad \text{II}$$

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-21733

(43)公開日 平成6年(1994)1月28日

(51)IntCl.⁵

H 0 3 F 3/50

識別記号

庁内整理番号

F I

技術表示箇所

8124-5 J

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-172678

(22)出願日 平成4年(1992)6月30日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 中島 康夫

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(72)発明者 菊地 洋

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人 弁理士 菅野 中

(54)【発明の名称】 レベルシフト回路

(57)【要約】

【目的】 5 V以上の直流分レベルシフト電圧が必要な
レベルシフト回路を高周波回路に使用可能にする。

【構成】 DC分レベルシフト電圧 V_{sf} を、抵抗4の抵
抗値 $R1$ と定電流源6の定電流値 I とにより $V_{sf}=R1$
 $\times I$ とする。高域補正用コンデンサ $C1$ を抵抗4と並列
に接続する。このコンデンサ $C1$ により高域特性を補正
する。

【特許請求の範囲】

【請求項1】 トランジスタと、抵抗と、定電流源と、コンデンサと、増幅器とを有するレベルシフト回路であって、

トランジスタは、ベースに、直列接続した直流電圧源と交流電圧源とが接続されたものであり、

抵抗と定電流源とは、直列接続されて、トランジスタのエミッタと接地点との間に接続されたものであり、

コンデンサは、抵抗に並列に接続されたものであり、

増幅器は、抵抗と定電流源との接続点に接続されたものであり、

前記接続点と接地点との間に存在する容量値C2と、前記コンデンサの容量値C1と、前記抵抗の抵抗値R1と、前記増幅器の入力抵抗値RINとを、

$C1 / C2 = RIN / R1$ の関係に設定したものであることを特徴とするレベルシフト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、レベルシフト回路に関し、特に5V以上という大きなシフト量が必要な高周波用半導体集積回路に関する。

【0002】

【従来の技術】 従来のレベルシフト回路としては、図4に示すツェナーダイオード16を含む回路、図5に示す直列接続のn個のダイオード17を含む回路、或いは図6に示す定電流源6と抵抗4との組合せを含む回路が存在していた。1、10は直流電圧源、2は交流電圧源、3とトランジスタ、7は増幅器、8はコンデンサである。

【0003】 ここで、定電流源6は、ツェナーダイオード16、n個のダイオード17、或いは抵抗4に電流を供給してレベルシフト電圧を発生させる。これにより、次段の入力端子の電圧は、直流的にツェナー電圧分、n個のダイオード或いは抵抗の電圧降下分シフトした電圧となる。

$$V_{OUT} / V_{IN} = RIN / \{ R1 (1 + j \omega C2 RIN) + RIN \} \quad \cdots (1)$$

($j = \sqrt{-1}$, $\omega = 2\pi f$ f: 交流電圧源の信号周波数) であり、高域での-3dBポイントの周波数fc

$$f_c = (RIN + R1) / (2\pi C2 R1 RIN) \quad \cdots (2)$$

となる。

【0009】 ここで、通常、 $RIN = 10K \sim 100K \Omega$, $I = 1 \sim 3mA$ 、図4及び図5の各動作抵抗R1は数10Ω程度であり、高周波用モノリシックIC内部で

$$f_c = (10 \times 10^3 + 50) / (2\pi \times 0.5 \times 10^{-12} \times 50 \times 10 \times 10^3) \approx 6.4GHz$$

となるが、図6において、 $I = 1mA$ で、5Vのレベルシフト電圧を発生させる場合、 $R1 = 5k\Omega$ となり、R

$$f_c = (10 \times 10^3 + 5 \times 10^3) / (2\pi \times 0.5 \times 10^{-12} \times 5 \times 10^3 \times 10 \times 10^3) \approx 95.5MHz$$

【0004】 入力端子のDCバイアス値が直流電圧源1で等価的に表わされ、その電圧値は大きいものである。ところで、増幅器7を有し、その出力端子9に大きな振幅をもつ電圧を発生させるために使用するレベルシフト回路では、そのシフト量が例えば5V以上となる。

【0005】

【発明が解決しようとする課題】 この従来のレベルシフト回路のうち、図4のツェナーダイオード16をレベルシフトに使う場合、モノリシックICに組み入れて発生させる電圧のコントロールが困難であり、また素子として信頼性に問題があり、長時間の使用で断線あるいは短絡状態になり、回路動作不具合が発生する。

【0006】 また、図5のn個のダイオード17をレベルシフトに使う場合、すなわち、下記のような問題がある。すなわち、一般的に半導体製造で使われているプロセスでは、ダイオード1個の順方向電圧約0.7Vに対し、約-2mV/℃の温度係数を持つ。このとき、たとえばレベルシフト量が5Vのとき、 $n = 7$ 個、温度変化20℃に対し、 $-2mV/℃ \times 7 \text{個} \times 20℃ = -280mV$ の電圧変化が発生し、次段の増幅器の入力バイアス値がずれる。このため、(1)増幅器の回路電流が変化し、出力DC電圧が変化し、(2)その結果、増幅度も変化してしまうため、アナログ信号を扱う回路設計では使えないという不具合が発生する。

【0007】 さらに、トランジスタ3の周波数特性を無視し、次段増幅器の入力インピーダンスを入力抵抗分RINと入力容量分CINとに分けて考え、定電流源を構成する素子の寄生容量Csと入力容量分CINとを合せた総合寄生容量値をC2 ($= Cs + CIN$)、図4のツェナーダイオード16、図5のダイオードn個17の各動作抵抗と図6の抵抗の値をR1とする。

【0008】 この場合、交流電圧源2の振幅をVINとすると、レベルシフト回路のA点に出力されるレベルVOUTは、

は、 $C2 = 0.2 \sim 0.8pF$ 程度であることから、 $RIN = 10K\Omega$, $R1 = 50\Omega$, $C2 = 0.5pF$ とすると、

$RIN = 10K\Omega$, $C2 = 0.5pF$ として、同様にfcを求めると、

となる。このことから、図6の回路は、高周波回路には、使えないという不具合が発生する。

【0010】本発明の目的は、温度係数が小さく、周波数特性がピーキングなく高域まで維持されたレベルシフト回路を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明に係るレベルシフト回路は、トランジスタと、抵抗と、定電流源と、コンデンサと、増幅器とを有するレベルシフト回路であって、トランジスタは、ベースに、直列接続した直流電圧源と交流電圧源とが接続されたものであり、抵抗と定電流源とは、直列接続されて、トランジスタのエミッタと接地点との間に接続されたものであり、コンデンサは、抵抗に並列に接続されたものであり、増幅器は、抵抗と定電流源との接続点に接続されたものであり、前記接続点と接地点との間に存在する容量値C2と、前記コンデンサの容量値C1と、前記抵抗の抵抗値R1と、前記増幅器の入力抵抗値RINとを、 $C1/C2 = RIN/R1$ の關係に設定したものである。

【0012】

【作用】定電流源の値Iと、抵抗値Rとから、DC分レベルシフト電圧 $V_{sf} = I \times R$ を発生させる。

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{\frac{R1}{RIN} \left(\frac{1 + j\omega C2 RIN}{1 + j\omega C1 R1} \right) + 1}$$

【0020】となる。C2は、A点と接地点との間に存在し、増幅器7のインピーダンスのうち入力容量分CINと、定電流源6を構成する素子の寄生容量Cs等とを合わせた総合寄生容量値を示す。RINは、増幅器7のインピーダンスのうち入力抵抗分を示す。

【0021】上式において、 $C1 R1 = C2 RIN$ 、つまり $C1/C2 = RIN/R1$ に設定すると、すべての周波数で

$V_{OUT}/V_{IN} = RIN/(R1 + RIN)$ (一定)となる。

【0022】したがって、本発明によれば、VINとVOUTとの比が、総合寄生容量値C2による影響を受けず、高周波特性も良く、無駄なピーキング特性も発生せず、矩形波入力に対し、邪魔なサグが発生することもない。また、モノリシックICに組み入れた場合の信頼性に問題があるツェナーダイオードを使用しないため、信頼性に問題が生じない。また温度による影響を受けるダイオードを使用しないため、温度特性も良い。

【0023】(実施例2)図2は、本発明の実施例2を示す回路図である。

【0024】本実施例では、図1の増幅器7を、トランジスタ11、抵抗12、13で構成したものである。

【0025】抵抗12の抵抗値をR2、トランジスタ11のエミッタ接地電流増幅率の値をhFE1とすると、R

【0013】

【実施例】以下、本発明の実施例を図により説明する。

【0014】(実施例1)図1は、本発明の実施例1を示す回路図である。

【0015】図1において、直列した直流電圧源1と交流電圧源2とは、トランジスタ3のベースに接続されている。トランジスタ3のエミッタには、抵抗4とコンデンサ5との並列回路と、定電流源6とが直列に接続されている。

【0016】また、定電流源6には、コンデンサ8が接続されている。また、増幅器7は、その入力が抵抗4と定電流源6との接続点Aに接続されている。9は増幅器7の出力端子である。10は、トランジスタ3と増幅器7とに所要電圧を印加する直流電圧源である。

【0017】この回路において、DC成分のレベルシフト電圧Vsfは、 $V_{sf} = I \times R1$ である。ここに、Iは定電流源6の定電流値、R1は抵抗4の抵抗値を示す。

【0018】交流電圧源2のレベルVINと、交流電圧源2の信号成分がA点に発生するVOUTとの比は、高域補正用コンデンサ5の値をC1とすると、

【0019】

【数1】

$RIN \approx hFE1 \times R2$ となる。

【0026】この場合でも、総合寄生容量値C2による影響を受けることがなく、実施例1と同様の効果を得ることができる。

【0027】(実施例3)図3は、本発明の実施例3を示す回路図である。

【0028】本実施例は、図2のトランジスタ11を中心に構成した増幅器と、レベルシフト回路との間に、トランジスタ14と抵抗15とにより構成したエミッタホロア回路を挿入したものである。

【0029】抵抗15の値をR3、トランジスタ14のエミッタ接地電流増幅率の値をhFE2とすると、 $RIN \approx hFE2 \times R3$ となる。

【0030】本実施例においても、総合寄生容量値C2による影響を受けることがなく、前記実施例と同様の効果を得ることができる。

【0031】

【発明の効果】以上説明したように本発明は、DC的にレベルシフト電圧Vsfを、抵抗の値R1と定電流の値Iとにより決定される $V_{sf} = R1 \times I$ とし、高域補正用コンデンサの値C1を、 $C1 = Cs \times (RIN/R1)$ としたため、信頼性に問題なく、温度特性もよく、高周波特性も良く、かつ無駄なピーキング特性も発生せず、矩形

波入力に対して邪魔なサグが発生することもないレベルシフト回路を提供できるという効果を有する。

【図面の簡単な説明】

【図1】 本発明の実施例1を示す回路図である。

【図2】 本発明の実施例2を示す回路図である。

【図3】 本発明の実施例3を示す回路図である。

【図4】 従来のレベルシフト回路を示す回路図である。

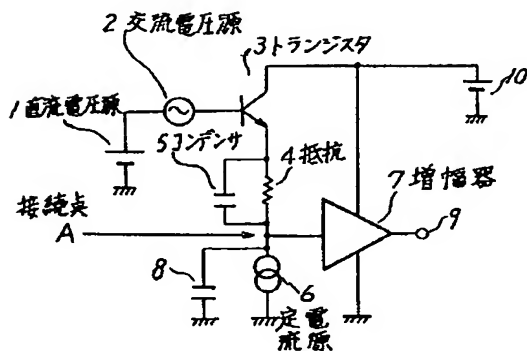
【図5】 従来のレベルシフト回路を示す回路図である。

【図6】 従来のレベルシフト回路を示す回路図である。

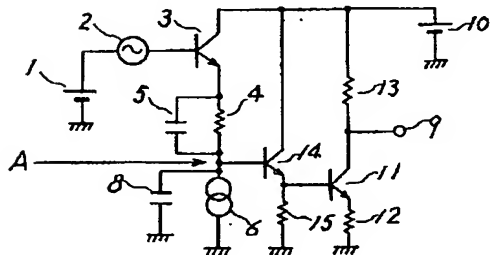
【符号の説明】

- 1, 10 直流電圧源
- 2 交流電圧源
- 3, 11, 14 トランジスタ
- 4, 12, 13, 15 抵抗
- 5, 8 コンデンサ
- 6 定電流源
- 7 増幅器
- 16 ツェナーダイオード
- 17 ダイオード

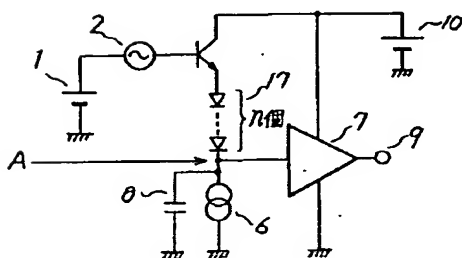
【図1】



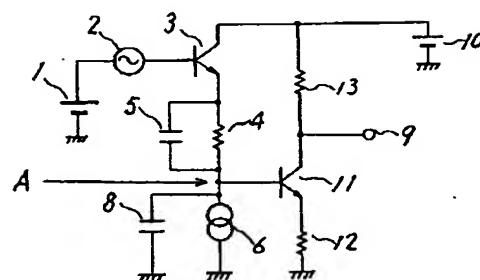
【図3】



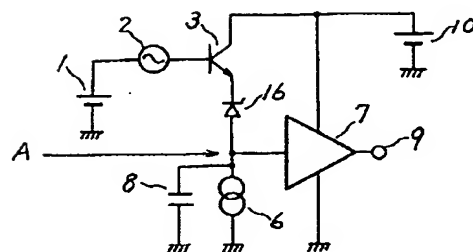
【図5】



【図2】



【図4】



【図6】